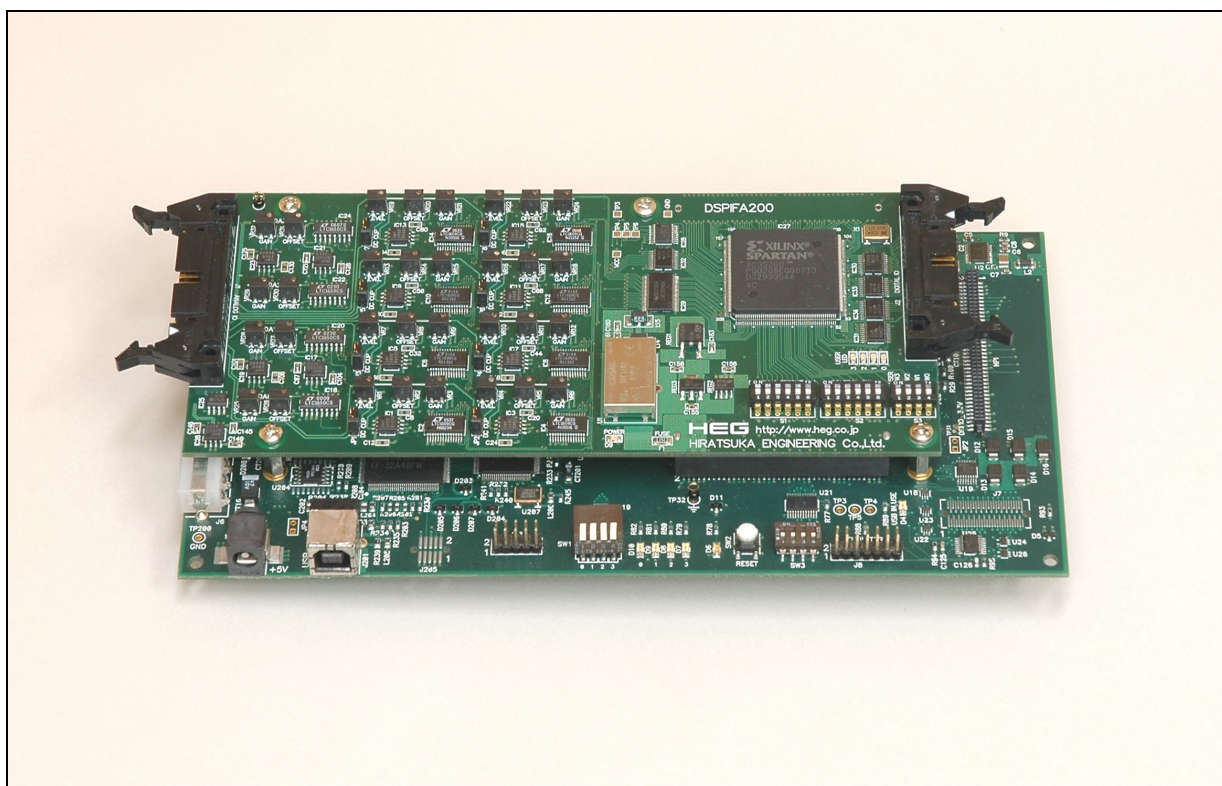


TI 製 DSP スタータキット(DSK) 対応
同時変換 200ksps 多チャンネル AD,DA 拡張ボード

DSK6713IF-A,B,C
DSK6416IF-A,B,C
DSK6455IF-A,B,C
DSK5510IF-A,B,C

製品紹介資料



HEG

有限会社 平塚エンジニアリング

目次

1. DSK 拡張インターフェースボード製品概要	1
1.1. 主な特長	1
1.2. アプリケーション例	2
1.3. パッケージ内容	2
2. ハードウェア	3
2.1. 仕様	3
2.2. タイミング・性能	6
2.2.1. A/D 変換	6
2.2.2. D/A 変換	6
2.3. ブロック図	7
2.4. 機能	8
2.4.1. A/D 変換データレジスタ	8
2.4.2. D/A 変換データレジスタ	8
2.4.3. A/D 変換開始トリガ/完了フラグレジスタ	8
2.4.4. D/A 変換開始トリガ/完了フラグレジスタ	8
2.4.5. A/D 変換サンプリングクロックコントローラ	8
2.4.6. D/A 変換クロックコントローラ	8
2.4.7. A/D 変換サンプリングクロックジェネレータ	9
2.4.8. D/A 変換クロックジェネレータ	9
2.4.9. D/A 変換クロックコントローラ	9
2.4.10. 割込みセレクタ	9
2.4.11. ユーザーOUT	9
2.4.12. ユーザーIN	9
2.4.13. ユーザーLED	9
2.4.14. ユーザーSW	9
2.5. AD 変換入力回路	10
2.6. DA 変換出力回路	10
2.7. デジタル入出力回路	10
3. コネクタピンアサイン	11
3.1. アナログ入出力コネクタ J1 (ANALOG IO)	11

3.2. デジタル入出力コネクタ J2 (DIGITAL IO).....	11
4. メモリマップ	12
4.1. レジスター一覧.....	12
5. プログラム	13
5.1. アクセス方法.....	13
5.2. 動作説明.....	15
6. サンプルプログラム.....	17
6.1. サンプルプログラム一覧.....	17
6.2. サンプルプログラム概要.....	18
6.3. サンプルプログラム例.....	20
6.4. サンプルプログラムへの信号処理 追加例.....	25
6.4.1. ゲイン h のスルー.....	25
6.4.2. 3 次の FIR フィルタ	25
6.4.3. 2 次の IIR フィルタ.....	26
7. 特性例	27
7.1. DC ヒストグラム.....	27
7.2. A/D チャンネル間アイソレーション	27
7.3. A/D - D/A スルー	28
7.3.1. 10kHz サンプリングスルー.....	28
7.3.2. 200kHz サンプリングスルー.....	29
8. システム構成例.....	30
8.1. 製品の基本構成	30
8.2. システム構成例	30
8.2.1. マイクロホンアレー	30
8.2.2. デジタル・モータ制御.....	30
9. 外形寸法図	31
10. お問い合わせ	31

1. DSK 拡張インターフェースボード製品概要

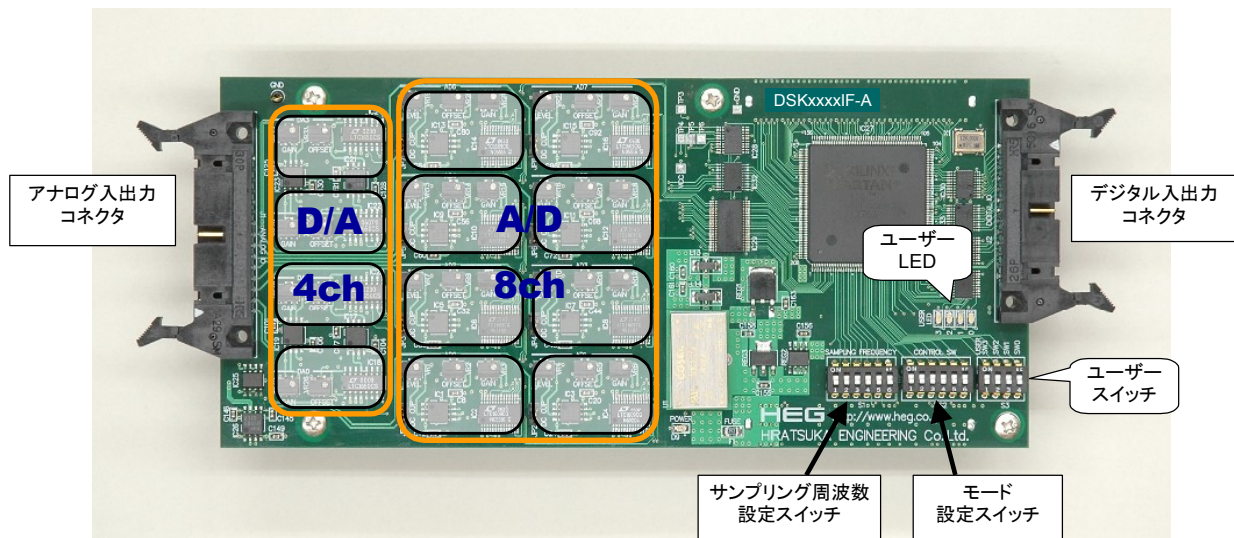
DSKxxxxIF-A,B,C は、産業用 A/D コンバータ、D/A コンバータを使用した TI 製 DSP スタータキット TMS320C6713, 6416T, 6455, 5510DSK 用の拡張インターフェースボードです。

TI 製 DSP スタータキット(DSK)に拡張することで、多チャンネル・デジタル信号処理を容易に実現することができます。同時変換、入出力低位相遅延、AD,DA 出力の同期などデジタル信号処理に必要な要件を満たしています。

1.1. 主な特長

- 全チャンネル同時変換
- 200kHz サンプリング 16bit 逐次比較型 A/D, 16bit 電圧出力 D/A
- DC 結合/AC 結合選択可能
- チャンネル構成

製品タイプ	A/D 変換チャンネル数	D/A 変換チャンネル数
DSKxxxxIF-A	8	4
DSKxxxxIF-B	4	2
DSKxxxxIF-C	2	2



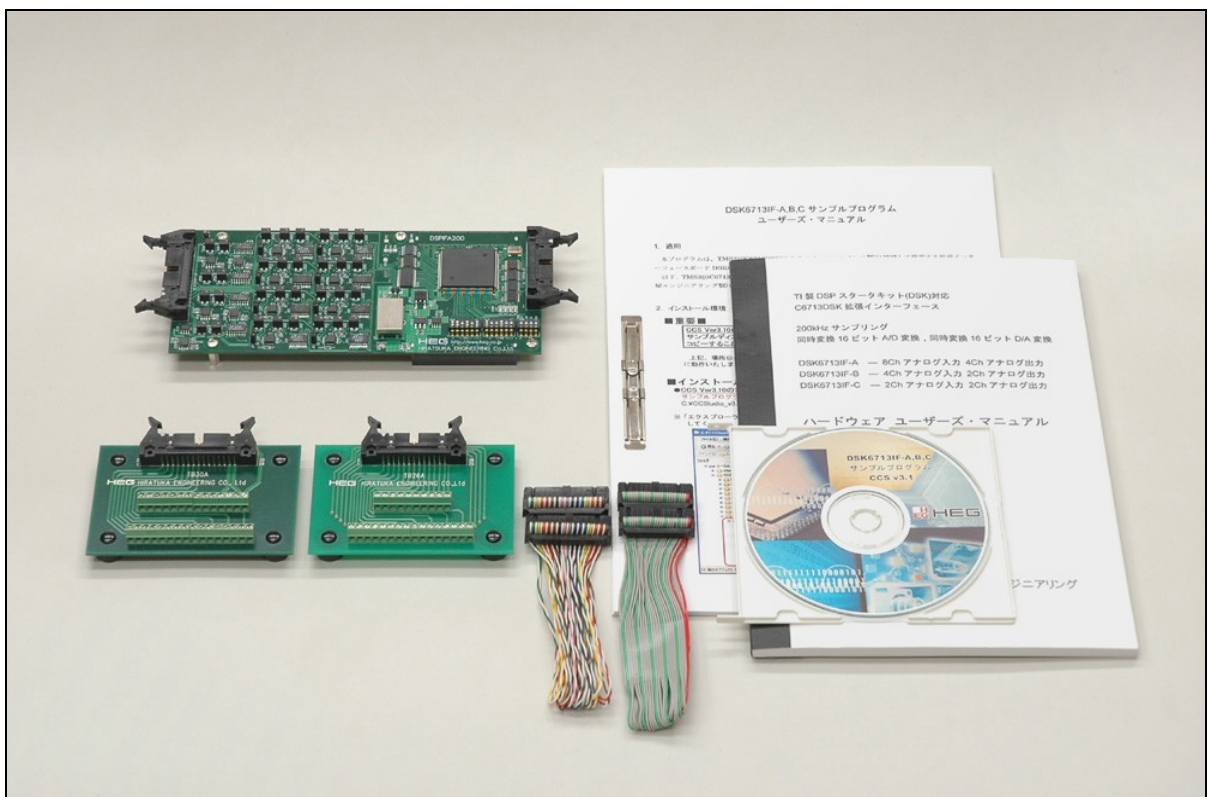
※ 本製品はチャンネル毎に独立した AD 変換、DA 変換を使用しています。(マルチプレクサは使用していません。)

1.2. アプリケーション例

本製品の特長ごとに分類したアプリケーション例を以下に示します。

多チャンネル同時変換 (多入力多出力系)	入出力低位相遅延 (フィードバック系)	デジタル信号処理全般
マイクロホンアレー 多入出力音声信号処理 振動解析 生体信号処理	デジタルサーボ アクティブノイズキャンセラー (ANC) 生体信号処理	FIR・IIR デジタルフィルタ 適応信号処理 FFT

1.3. パッケージ内容



◆製品構成

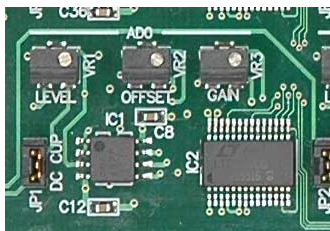
- ボード……………1
- ハードウェア ユーザーズ・マニュアル……………1
- 30ピン ソケット端子台 (アナログ入出力)……………1
- 26ピン ソケット端子台 (デジタル入出力)……………1
- 30芯フラットケーブル (アナログ入出力)……………1
- 26芯フラットケーブル (デジタル入出力)……………1
- サンプルプログラム・ユーザーズマニュアル……………1
- サンプルプログラム CD-ROM……………1
- 小物付属部品 (ネジ, ジャンパーソケット等)……………1 式
- 保証書……………1

2. ハードウェア

2.1. 仕様

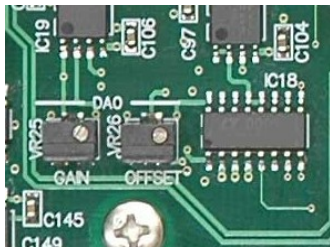
■A/D 変換

	DSK6713IF-A DSK6416IF-A DSK6455IF-A DSK5510IF-A	DSK6713IF-B DSK6416IF-B DSK6455IF-B DSK5510IF-B	DSK6713IF-C DSK6416IF-C DSK6455IF-C DSK5510IF-C
入力チャンネル数	8	4	2
入力形式	全チャンネル同時変換 (チャンネル毎に独立した A/D コンバータを使用)		
分解能	16 ビット		
変換方式	逐次比較方式		
変換時間	3.73μsec Max 200kHz サンプリング		
データフォーマット	16 ビットバイナリ(2の補数)		
FIFO	なし		
入力電圧	±1V ~ ±10V(チャンネル毎に設定可能)		
入力信号	チャンネル毎に AC, DC 結合の選択が可能		
調整用ボリューム	LEVEL, GAIN, OFFSET チャンネルごとに調整可能		
サンプリングクロック	AD サンプリングクロックジェネレータ, AD 用外部変換クロック端子, DSPTimer0 出力, DSPTimer1 出力 (プログラムによるポーリングも可能)		
入力インピーダンス	10kΩ		
入力絶縁	なし		



■ D/A 変換

	DSK6713IF-A DSK6416IF-A DSK6455IF-A DSK5510IF-A	DSK6713IF-B DSK6416IF-B DSK6455IF-B DSK5510IF-B	DSK6713IF-C DSK6416IF-C DSK6455IF-C DSK5510IF-C
出力チャンネル数	4	2	2
出力形式	全チャンネル同時変換 (チャンネル毎に独立した D/A コンバータを使用)		
分解能	16 ビット		
セトリングタイム	4.58μsec / 0.9FS		
変換周波数	Max 200kHz		
データフォーマット	16 ビットバイナリ(2 の補数)		
FIFO	なし		
出力信号	DC 結合		
出力レンジ	±1V		
調整用ボリューム	GAIN, OFFSET チャンネルごとに調整可能		
変換クロック	DA 変換クロックジェネレータ, DA 用外部クロック端子, DSPTimer1 出力 (プログラムによるポーリングも可能), A/D 変換サンプリングクロック		
最小負荷インピーダンス	1kΩ 以上		
出力絶縁	なし		



■ AD サンプリングクロックジェネレータ, DA 変換クロックジェネレータ

	DSK6713IF-A DSK6416IF-A DSK6455IF-A DSK5510IF-A	DSK6713IF-B DSK6416IF-B DSK6455IF-B DSK5510IF-B	DSK6713IF-C DSK6416IF-C DSK6455IF-C DSK5510IF-C
出力周波数(kHz)	OFF, 1.0, 1.2, 1.5, 2.0, 2.5, 3.0, 4.0, 5.0, 6.0, 8.0, 10.0, 12.0, 12.5, 15.0, 16.0, 20.0, 25.0, 30.0, 32.0, 40.0, 48.0, 50.0, 60.0, 75.0, 80.0, 100.0, 120.0, 125.0, 150.0, 160.0, 200.0		

■ デジタル入出力

	DSK6713IF-A DSK6416IF-A DSK6455IF-A DSK5510IF-A	DSK6713IF-B DSK6416IF-B DSK6455IF-B DSK5510IF-B	DSK6713IF-C DSK6416IF-C DSK6455IF-C DSK5510IF-C
外部入力	8ビット TTL(5V)レベル		
外部出力 1	8ビット TTL(5V)レベル		
外部出力 2	2ビット TTL(5V)レベル		
外部入出力絶縁	なし		
論理	正論理 (5V : "1" 0V : "0")		
出力電流	8mA max		
ユーザスイッチ	4回路のディップスイッチ (オンボード)		
ユーザ LED	4回路のモニタ LED (オンボード)		

■ 割込み

	DSK6713IF-A DSK6416IF-A DSK6455IF-A DSK5510IF-A	DSK6713IF-B DSK6416IF-B DSK6455IF-B DSK5510IF-B	DSK6713IF-C DSK6416IF-C DSK6455IF-C DSK5510IF-C
割込みソース	AD 変換完了, DA 変換データ転送可		
割込みセレクト	INT4, 5, 6, 7 (DSK6713IF-A,B,C) INT1, 2, 3 (DSK5510IF-A,B,C)		

■ リソース

	DSK6713IF -A,B,C	DSK6416IF -A,B,C	DSK6455IF -A,B,C	DSK5510IF -A,B,C
メモリエリア	0xA0000000 ~ 0xA00000FC (EMIF CE2)	0xA0000000 ~ 0xA00000FC (EMIFA CE2)	0xC0000000 ~ 0xC00000FC (EMIFA CE4)	0x400000 ~ 0x4000FC (External CE1)
割込み	INT4, 5, 6, 7 から 最大 2 本使用	INT4, 5, 6, 7 から 最大 2 本使用	INT4, 5, 6, 7 から 最大 2 本使用	INT1, 2, 3 から 最大 2 本使用

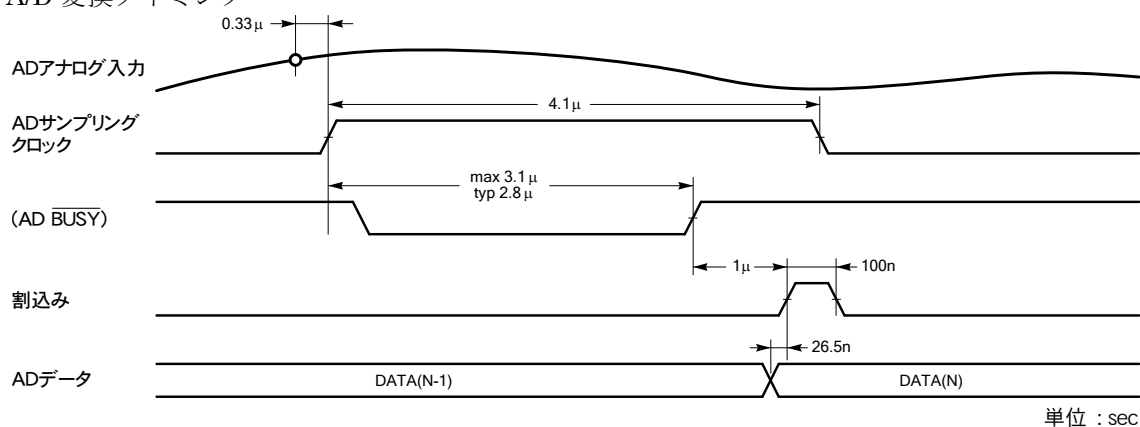
■ 物理仕様ほか

	DSK6713IF-A DSK6416IF-A DSK6455IF-A DSK5510IF-A	DSK6713IF-B DSK6416IF-B DSK6455IF-B DSK5510IF-B	DSK6713IF-C DSK6416IF-C DSK6455IF-C DSK5510IF-C
電源	+5V (DSK から給電)		
外形寸法	190 (W) × 86 (D) × 10 (H)		
接続コネクタ	アナログ入出力 : 30 芯フラットケーブルコネクタ (2.54mm ピッチ) デジタル入出力 : 26 芯フラットケーブルコネクタ (2.54mm ピッチ)		
付属品	アナログ入出力用 30 ピンターミナルポート(TB30), デジタル入出力用 26 ピンターミナルポート(TB26), 入出力ケーブル, 取扱説明書, サンプルプログラム, ジャンパーソケット, ネジ小 物一式		

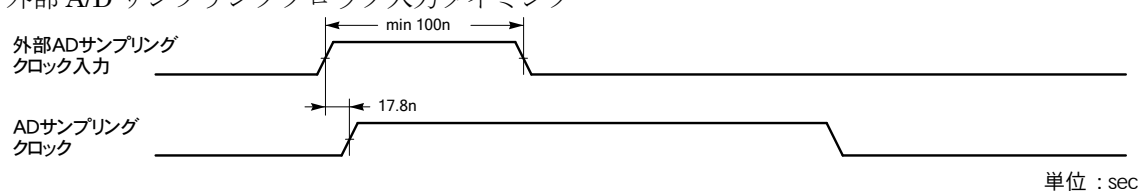
2.2. タイミング・性能

2.2.1. A/D 変換

(1). A/D 変換タイミング

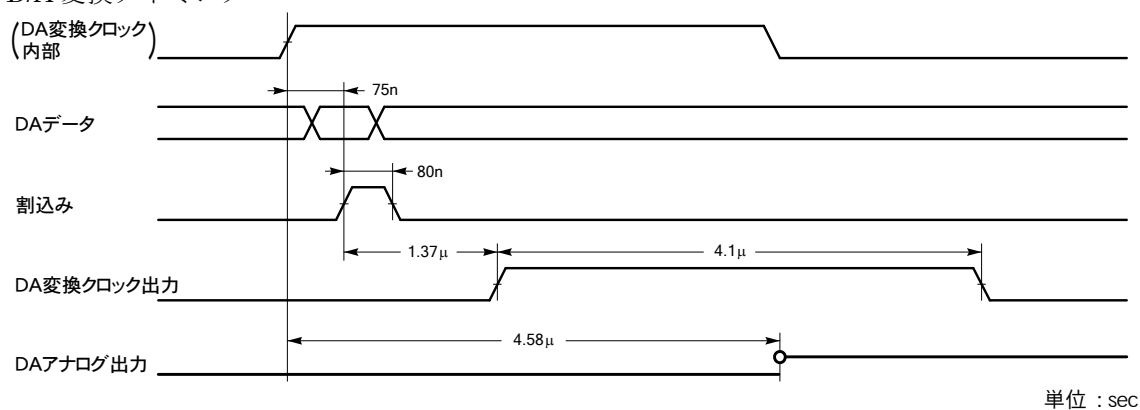


(2). 外部 A/D サンプリングクロック入力タイミング

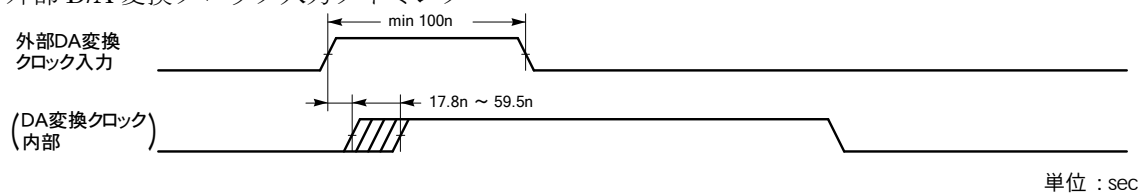


2.2.2. D/A 変換

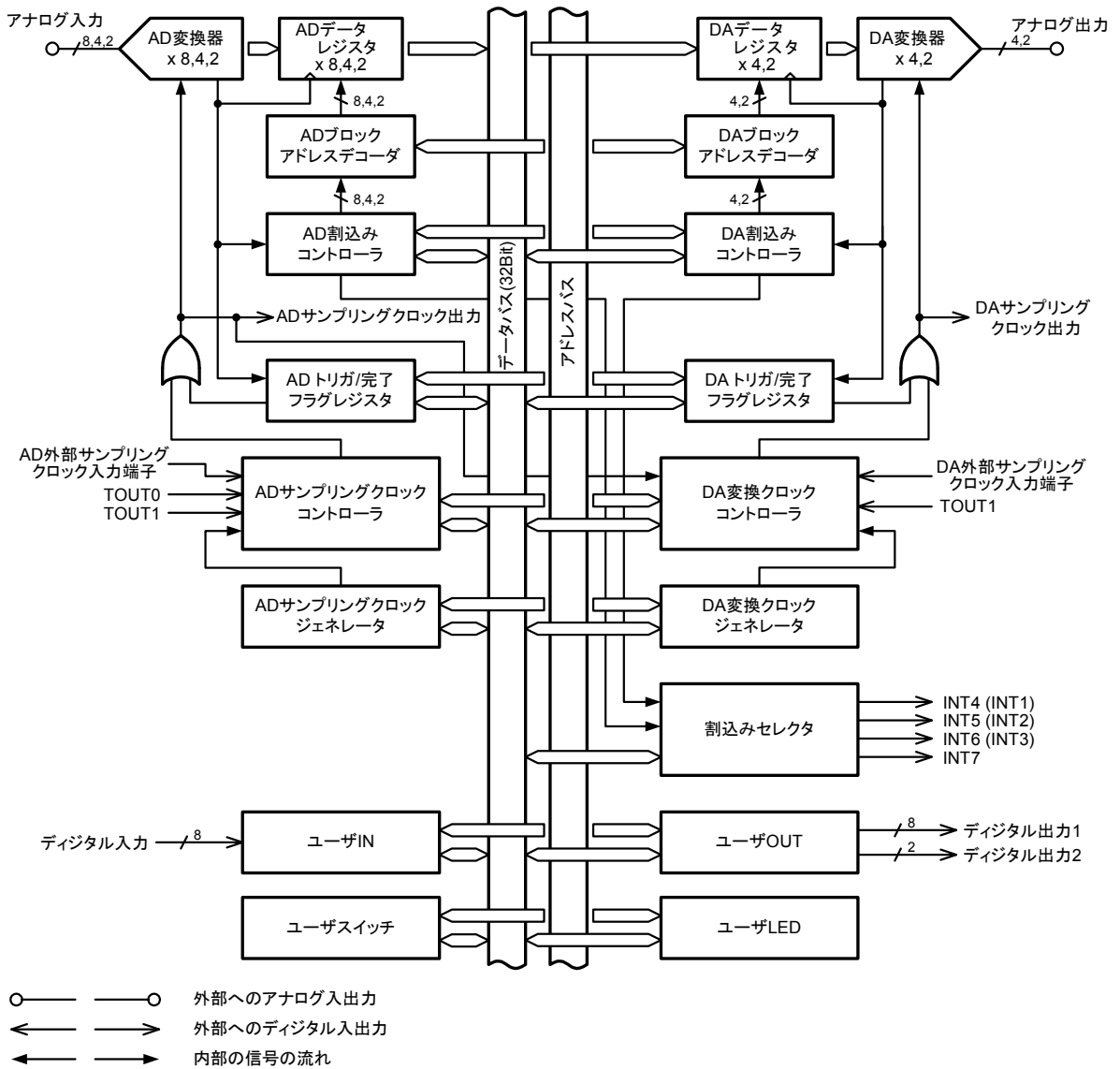
(1). D/A 変換タイミング



(2). 外部 D/A 変換クロック入力タイミング



2.3. ブロック図



2.4. 機能

2.4.1. A/D 変換データレジスタ

A/D 変換完了にて変換結果をレジスタに格納します。変換結果は全チャンネル同時に格納されます。なお、格納された結果は次のサンプルクロックでの A/D 変換完了までのあいだ保持されます。

AD 入力電圧	出力コード (signed integer)	出力コード(h)
+1.0V	+32767	0000 7FFF
+0.5V	+16383	0000 3FFF
+0.0V	0	0000 0000
-0.5V	-16384	FFFF 4000
-1.0V	-32768	FFFF 8000

2.4.2. D/A 変換データレジスタ

D/A 変換を行うデータを格納するレジスタです。変換データは全チャンネル同時にデジタルーアナログ変換されます。なお、変換されたアナログ出力は次の D/A 変換までのあいだ、保持されます。

入力コード (signed integer)	入力コード(h)	DA 出力電圧
+32767	0000 7FFF	+1.0V
+16383	0000 3FFF	+0.5V
0	0000 0000	+0.0V
-16384	FFFF 4000	-0.5V
-32768	FFFF 8000	-1.0V

2.4.3. A/D 変換開始トリガ/完了フラグレジスタ

フラグをセットすることで、プログラムから A/D 変換開始トリガ（1回のサンプリングクロック）を発生させることができます。また、A/D 変換完了フラグの取得をすることができます。

2.4.4. D/A 変換開始トリガ/完了フラグレジスタ

フラグをセットすることで、プログラムから D/A 変換開始トリガ（1回の変換クロック）を発生させることができます。また、D/A 変換完了フラグの取得をすることができます。

2.4.5. A/D 変換サンプリングクロックコントローラ

A/D 変換器で使用するサンプリングクロックの制御を行います。

クロックソースには、①A/D 変換サンプリングクロックジェネレータ、②A/D 外部サンプリングクロック入力端子、③DSP に搭載されている TOUT0 出力、④TOUT1 出力から選択できます。

2.4.6. D/A 変換クロックコントローラ

D/A 変換器で使用する変換クロックの制御を行います。

クロックソースには、①A/D 変換サンプリングクロックコントローラからの出力、②D/A 変換クロックジェネレータ、③D/A 変換外部クロック入力端子、④DSP に搭載されている TOUT1 出力 から選択できます。

2.4.7. A/D 変換サンプリングクロックジェネレータ

A/D 変換サンプリングクロックとして予め用意してある 32 段階の周波数から使用することができます。

出力周波数(kHz)	OFF, 1.0, 1.2, 1.5, 2.0, 2.5, 3.0, 4.0, 5.0, 6.0, 8.0, 10.0, 12.0, 12.5, 15.0, 16.0, 20.0, 25.0, 30.0, 32.0, 40.0, 48.0, 50.0, 60.0, 75.0, 80.0, 100.0, 120.0, 125.0, 150.0, 160.0, 200.0
------------	---

2.4.8. D/A 変換クロックジェネレータ

D/A 変換クロックとして予め用意してある 32 段階の周波数から使用することができます。

出力周波数(kHz)	OFF, 1.0, 1.2, 1.5, 2.0, 2.5, 3.0, 4.0, 5.0, 6.0, 8.0, 10.0, 12.0, 12.5, 15.0, 16.0, 20.0, 25.0, 30.0, 32.0, 40.0, 48.0, 50.0, 60.0, 75.0, 80.0, 100.0, 120.0, 125.0, 150.0, 160.0, 200.0
------------	---

2.4.9. D/A 変換クロックコントローラ

D/A 変換器で使用する変換クロックの制御を行います。

クロックソースには、①A/D 変換サンプリングクロックコントローラからの出力、②D/A 変換クロックジェネレータ、③D/A 変換外部クロック入力端子、④DSP に搭載されている TOUT1 出力

2.4.10. 割込みセレクト

「A/D 変換割込みコントローラ」「D/A 変換割込みコントローラ」から出力された割込み信号を DSP の INT4~7(INT1~3)への割り当てを行います。また、DSP への割込み許可、不可の設定を行います。

2.4.11. ユーザーOUT

外部へのデジタル出力ポートです。2 ポート用意されており、ポート 1 は TTL(5V) 8 ビット、ポート 2 は TTL(5V) 2 ビットです。

2.4.12. ユーザーIN

外部からデジタル入力ポートです。TTL(5V)の 8 ビットです。

2.4.13. ユーザーLED

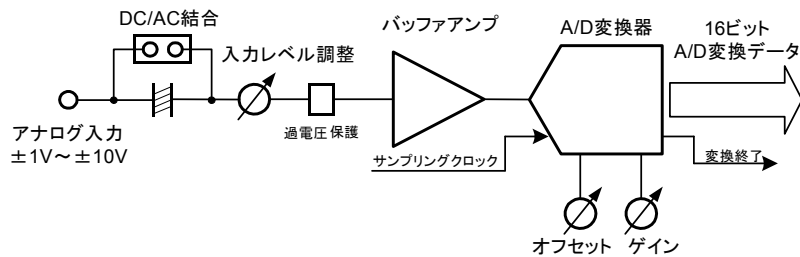
ユーザーが任意に使用できる 4 個の LED です。

2.4.14. ユーザーSW

ユーザーが任意に使用できる 4 回路の DIP SW です。

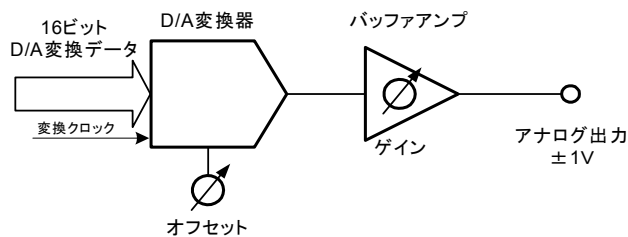
2.5. AD 変換入力回路

A/D 変換器を A タイプでは 8 個、B タイプでは 4 個、C タイプでは 2 個搭載しています。A/D 変換器を複数個搭載することにより同時変換を実現しています。

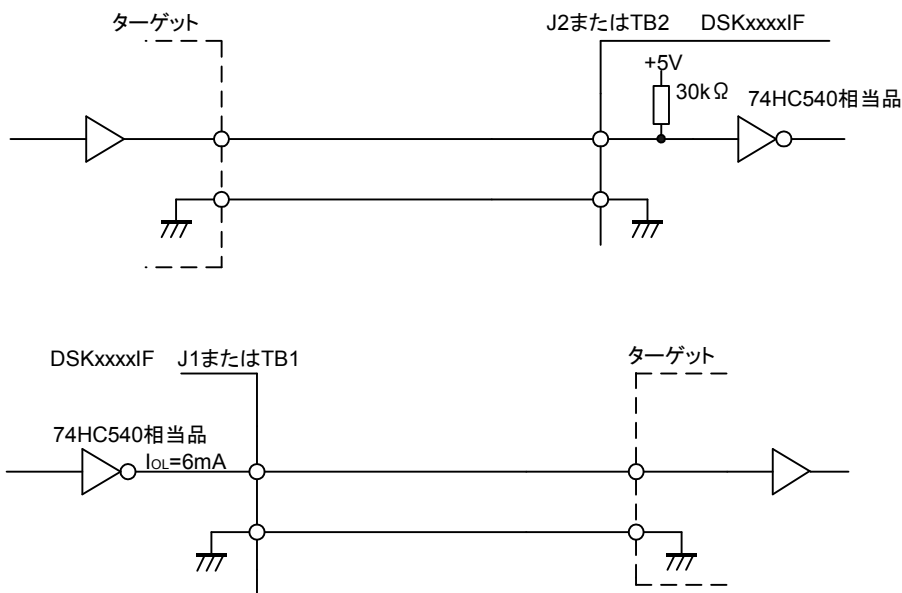


2.6. DA 変換出力回路

D/A コンバータを A タイプでは 4 個、B,C タイプでは 2 個搭載しています。D/A 変換器を複数個搭載することにより同時変換を実現しています。



2.7. デジタル入出力回路



3. コネクタピンアサイン

3.1. アナログ入出力コネクタ J1 (ANALOG IO)

アナログ入出力コネクタ J1 のピン番号に対する信号名はつぎの通りです。

ピン番号	信号名	ピン番号	信号名
1	A/D 変換入力チャンネル 0[SIG]	2	A/D 変換入力チャンネル 0[GND]
3	A/D 変換入力チャンネル 1[SIG]	4	A/D 変換入力チャンネル 1[GND]
5	A/D 変換入力チャンネル 2[SIG]	6	A/D 変換入力チャンネル 2[GND]
7	A/D 変換入力チャンネル 3[SIG]	8	A/D 変換入力チャンネル 3[GND]
9	A/D 変換入力チャンネル 4[SIG]	10	A/D 変換入力チャンネル 4[GND]
11	A/D 変換入力チャンネル 5[SIG]	12	A/D 変換入力チャンネル 5[GND]
13	A/D 変換入力チャンネル 6[SIG]	14	A/D 変換入力チャンネル 6[GND]
15	A/D 変換入力チャンネル 7[SIG]	16	A/D 変換入力チャンネル 7[GND]
17	アナログ GND	18	アナログ GND
19	D/A 変換出力チャンネル 0[+]	20	D/A 変換出力チャンネル 0[GND]
21	D/A 変換出力チャンネル 1[+]	22	D/A 変換出力チャンネル 1[GND]
23	D/A 変換出力チャンネル 2[+]	24	D/A 変換出力チャンネル 2[GND]
25	D/A 変換出力チャンネル 3[+]	26	D/A 変換出力チャンネル 3[GND]
27	アナログ+5V	28	アナログ+5V
29	アナログ-5V	30	アナログ-5V

ボード側コネクタ J1 はヒロセ電機製 HIF3BA-30PA-2.54DS です。

3.2. デジタル入出力コネクタ J2 (DIGITAL IO)

デジタル入出力コネクタ J2 のピン番号に対する信号名はつぎの通りです。

ピン番号	信号名	ピン番号	信号名
1	デジタル入力 Bit0	2	デジタル入力 Bit1
3	デジタル入力 Bit2	4	デジタル入力 Bit3
5	デジタル入力 Bit4	6	デジタル入力 Bit5
7	デジタル入力 Bit6	8	デジタル入力 Bit7
9	デジタル出力 1 Bit0	10	デジタル出力 1 Bit1
11	デジタル出力 1 Bit2	12	デジタル出力 1 Bit3
13	デジタル出力 1 Bit4	14	デジタル出力 1 Bit5
15	デジタル出力 1 Bit6	16	デジタル出力 1 Bit7
17	デジタル出力 2 Bit0	18	デジタル出力 2 Bit1
19	A/D 変換サンプリングクロック出力	20	D/A 変換クロック出力
21	A/D 変換 外部サンプリングクロック入力	22	D/A 変換 外部クロック入力
23	デジタル+5V	24	デジタル+5V
25	デジタル GND	26	デジタル GND

ボード側コネクタ J2 はヒロセ電機製 HIF3BA-26PA-2.54DS です。

4. メモリマップ

4.1. レジスタ一覧

アドレス(h)	名 称	説 明
A000 0000	Ch0 A/D 変換データレジスタ	Ch0 の A/D 変換結果が格納されます。
A000 0004	Ch1 A/D 変換データレジスタ	Ch1 の A/D 変換結果が格納されます。
A000 0008	Ch2 A/D 変換データレジスタ	Ch2 の A/D 変換結果が格納されます。
A000 000C	Ch3 A/D 変換データレジスタ	Ch3 の A/D 変換結果が格納されます。
A000 0010	Ch4 A/D 変換データレジスタ	Ch4 の A/D 変換結果が格納されます。
A000 0014	Ch5 A/D 変換データレジスタ	Ch5 の A/D 変換結果が格納されます。
A000 0018	Ch6 A/D 変換データレジスタ	Ch6 の A/D 変換結果が格納されます。
A000 001C	Ch7 A/D 変換データレジスタ	Ch7 の A/D 変換結果が格納されます。
A000 0020	Ch0 D/A 変換データレジスタ	Ch0 の D/A 変換データをストアします。
A000 0024	Ch1 D/A 変換データレジスタ	Ch1 の D/A 変換データをストアします。
A000 0028	Ch2 D/A 変換データレジスタ	Ch2 の D/A 変換データをストアします。
A000 002C	Ch3 D/A 変換データレジスタ	Ch3 の D/A 変換データをストアします。
A000 0060	A/D 変換スタート/完了フラグレジスタ	プログラムからポーリングにて A/D 変換を開始する場合に使用します。変換完了も取得できます。
A000 0064	D/A 変換スタート/完了フラグレジスタ	プログラムからポーリングにて D/A 変換を開始する場合に使用します。変換完了も取得できます。
A000 0080	ユーザ LED レジスタ	DSK6713IF 上の LED の点灯/消灯を制御します。デバッグなどに使用すると便利です。
A000 0084	ユーザスイッチレジスタ	DSK6713IF 上のユーザーSW の値を取得します。デバッグなどに使用すると便利です。
A000 0090	デジタル OUT1 レジスタ	外部出力端子制御レジスタです。
A000 0094	デジタル OUT2 レジスタ	外部出力端子制御レジスタです。
A000 0098	デジタル IN レジスタ	外部入力端子取得レジスタです。
A000 00C0	設定レジスタ 1	DSK6713IF の設定レジスタです。
A000 00C4	設定レジスタ 2	DSK6713IF の設定レジスタです。
A000 00D0	製品 No レジスタ	製品識別番号レジスタです。0x3224 が書き込まれています
A000 00DC	トグルビットレジスタ	1msec の間隔でビットが反転します。本ボードの起動状態を確認することができます。

上記アドレスは C6713DSK, C6416TDSK のアドレスです。C6455DSK, C5510DSK では異なります。

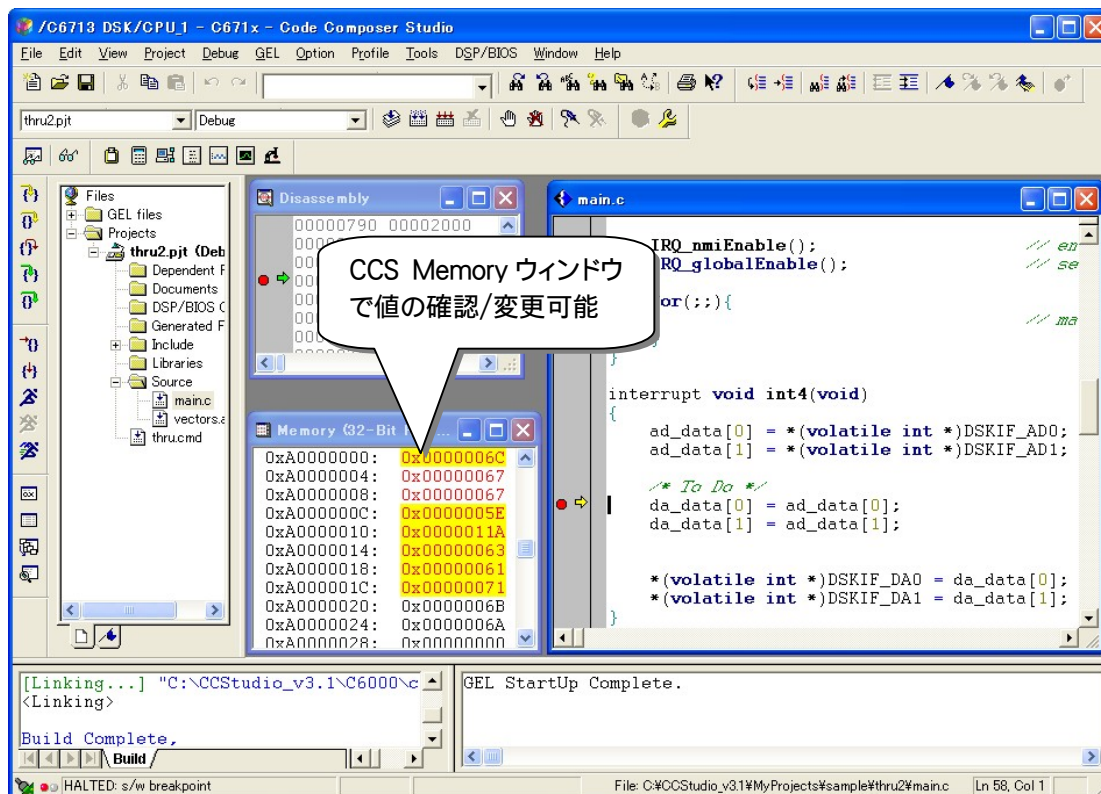
5. プログラム

5.1. アクセス方法

本製品では McBSP, McASP などの DSP ペリフェラルを使用しておらず、AD,DA 変換の値、設定など全てのレジスタをメモリ空間に配置しております。そのため、メモリーイメージでアクセスでき、C 言語の通常の変数と同様にポインタにてアクセスすることが可能です。(デバイスドライバ,ライブラリなどを作成する必要はありません。)

また、DSP スタータキットの統合開発環境である CodeComposerStudio の Memoy ウィンドウからもアクセスが可能である為、ボード/システムの動作確認、デバッグもスムーズに行えます。

純粋にデジタル信号処理の研究を行うユーザーの方は、ペリフェラルの立ち上げ、ハードウェア周辺ソフトを作成をする必要がありません。



アクセス例：

- DA2 に 15132 をライト

```
*(volatile int *)0xA0000024 = 15132;
```

※DA2 アドレス 0xA0000024

●AD0 をリードし変数 data に代入

```
int data;
data = *(volatile int *)0xA0000000;
```

※AD0 アドレス 0xA0000000

●AD0 の値に 0.7 掛けたものを DA0 から出力

```
int indata, outdata;
double in, out;

indata = *(volatile int *)0xA0000000;
in = (double)indata;
out = 0.7 * in;
outdata = (int)out;
*(volatile int *)0xA0000020 = outdata
```

※AD0 アドレス 0xA0000000, DA0 アドレス 0xA0000020

※値と入力,出力される電圧の関係は以下の通りです。

電圧	コード	
	10 進表記 (signed integer)	16 進表記 (hex)
+1.0V	+32767	0000 7FFF
+0.5V	+16383	0000 3FFF
+0.0V	0	0000 0000
-0.5V	-16384	FFFF 4000
-1.0V	-32768	FFFF 8000

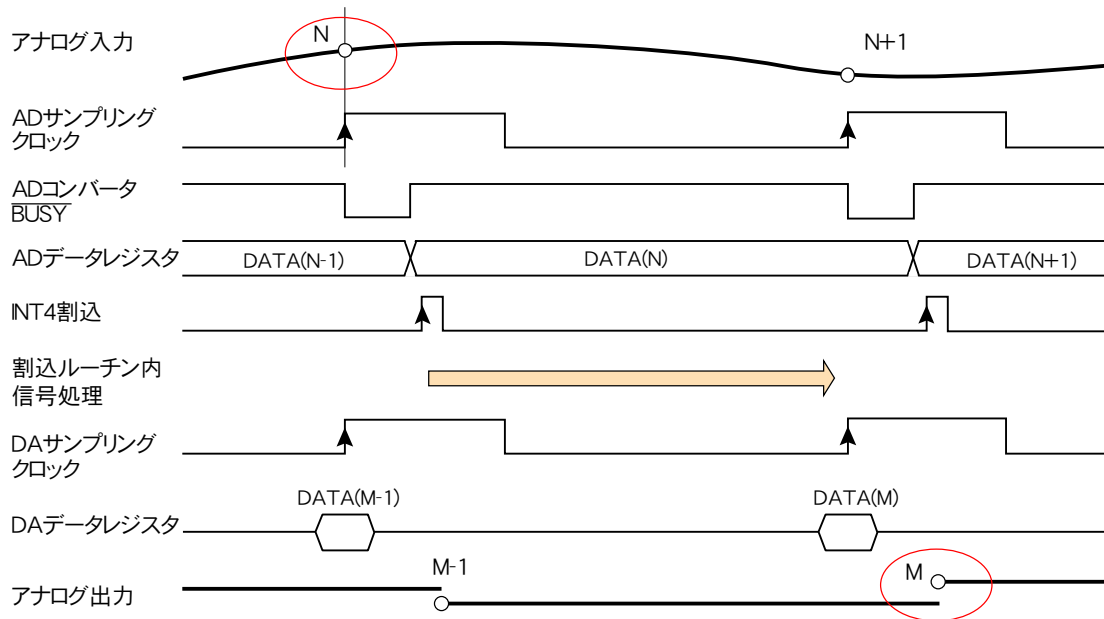
5.2. 動作説明

以下に、本製品の一般的な使用方法である割込みを使った信号処理の説明を行います。

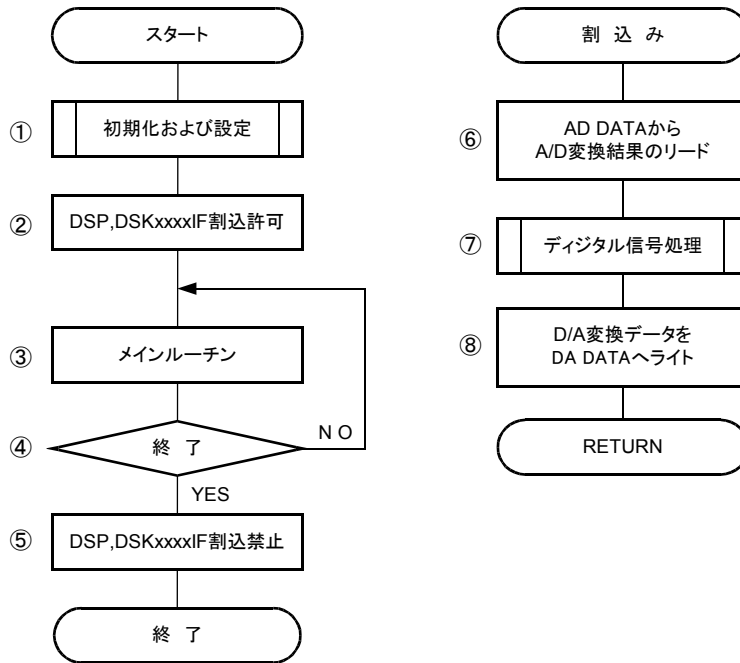
(サンプルプログラム thru2.prj)

サンプリングクロックに従い A/D コンバータが変換を開始し、変換が完了すると DSP に対して割込みが発生します。プログラム内の割込みルーチン内で変換結果の取得および信号処理を行い、処理結果を DA データレジスタにライトします。次の AD サンプリングクロックに同期し DA 出力が行われます。上記の処理が 1 サンプリングごとに行われ、繰り返されます。

■ タイミング



■設定手順例



①DSK の設定および本 IF ボードの設定を行います。

DSP : ウェイト、バスの設定

DSKxxxxIF: ディップスイッチもしくは設定レジスタの設定

②DSP の割込みの許可、本 DSKxxxxIF ボードの割込み発生開始の設定をします。

③A/D 変換完了 (割込み) まで、他の処理を行います。(割込みルーチンで取得した値の信号処理を行う場合もあります。)

④プログラムが終了であればループから抜けます。

⑤DSP の割込み禁止、本 IF ボードの割込み発生禁止などの終了処理を行います。

⑥「A/D 変換データレジスタ」から値を取得します。

⑦任意の信号処理を行います。

⑧「D/A 変換データレジスタ」へ値をライトします。

6. サンプルプログラム

6.1. サンプルプログラム一覧

以下に本製品に添付されるサンプルプログラムの一覧を示します。
 弊社製品は初心者でも容易に導入できるように分かりやすさ、実用性を第一にしています。
 サンプルプログラムは、難しいライブラリ、手法は極力避け、シンプルに記述してあります。

プロジェクト名	用途	目的
thru1	テストプログラム	AD → DA のスルー <ul style="list-style-type: none"> ・ ポーリングによる取得(プログラムによる AD, DA のスタート) ・ ディップスイッチによる設定 ・ 外部割込み(INT4~7)は使用しません。 ・ Timer0(DSP ペリフェラル)を使用してサンプリングクロックを発生させています。
thru2 ★おすすめ	デジタルサーボ	AD → DA のスルー <ul style="list-style-type: none"> ・ 内部発生サンプリングクロックによる AD データの取得 ・ ディップスイッチによる設定 ・ 外部割込み(INT4)を使用
thru3	デジタルサーボ	AD → DA のスルー <ul style="list-style-type: none"> ・ 内部発生サンプリングクロックによる AD データの取得 ・ DSK6713IF-A,B,C(HEG)の設定は「設定レジスタ」から行う ・ 外部割込み(INT4)を使用 ・ AD と DA のタイミングが同期した『同期動作』
thru4	デジタルサーボ	AD → DA のスルー <ul style="list-style-type: none"> ・ 内部発生サンプリングクロックによる AD データの取得 ・ DSK6713IF-A,B,C(HEG)の設定は「設定レジスタ」から行う ・ 外部割込み(INT4)を使用 ・ 信号処理後、即座に DA 出力をする『非同期動作』
dma1a	FFT マイクロホンアレー	DMA を使った AD データの取得 <ul style="list-style-type: none"> ・ DMA を使って 1 チャンネル AD データの取得 ・ 取得したデータを CCS グラフ機能にて表示
dma1b	FFT マイクロホンアレー	DMA を使った AD データの取得 <ul style="list-style-type: none"> ・ DMA を使って 2 チャンネル AD データの取得 ・ 取得したデータを CCS グラフ機能にて表示
dma2a	波形出力 DDS	DMA を使った DA データの出力 <ul style="list-style-type: none"> ・ DMA を使って 1 チャンネル DA データの出力
dma2b	波形出力 DDS	DMA を使った DA データの出力 <ul style="list-style-type: none"> ・ DMA を使って 2 チャンネル DA データの出力
dma3a	イコライザ	DMA を使った AD → DA のスルー出力 <ul style="list-style-type: none"> ・ DMA を使って 1 チャンネル AD データの取得 ・ DMA を使って 1 チャンネル DA データの出力 ・ ピンポンバッファを使用
dma3b	イコライザ	DMA を使った AD → DA のスルー出力 <ul style="list-style-type: none"> ・ DMA を使って 2 チャンネル AD データの取得 ・ DMA を使って 2 チャンネル DA データの出力 ・ ピンポンバッファを使用

やさしい

難易度

難しい

6.2. サンプルプログラム概要

thru1 から用途・複雑さに合わせ、順にステップを追うように作成しています。

- thru1
本ボードと DSK の基本的な動作を理解しやすいように、外部割込みを使用せず、簡単な方法で作成してあります。AD→DA 動作をします。
(サンプリングは、プログラムからスタートフラグを使うことで開始します。)

- thru2
thru1 をより実践に近い形で使用します。
サンプリングクロックには、本ボード上の「サンプリングクロックジェネレータ」を使用し、AD 変換完了割込みにて、デジタル信号処理を開始します。
サンプリングクロック周波数、割込みの設定には、ボード上のディップスイッチから行うため、「設定レジスタ」の設定に手間取ることはありません。

設定方法およびプログラムは簡便かつ、AD,DA タイミングも安定しているため、本プロジェクトの使用をお勧めいたします。

- thru3
動作内容は thru2 と同じですが、ボードの設定を「設定レジスタ」から行います。dma1,dma2,dma3 は設定をレジスタから行うため、その準備となります。
- thru4
AD 変換開始タイミングは thru3 と同じですが、信号処理後、即座に DA 出力を行います。AD 変換タイミングと同期しないため、入出力の位相遅延は少なくなります。処理内容に応じ出力タイミングが変化します。
- dma1a
DMA を使用したサンプルプログラムになります。AD から入力された信号を DMA を使用して、バッファに転送します。
DMA 転送を理解しやすいように、転送は 1 ブロックごとに行います。(ブロック転送後に停止)
ボードの設定には「設定レジスタ」を使用します。
- dma1b
dma1a を 2 チャンネル入力に拡張したものです。
- dma2a
DMA を使用して、バッファ上の波形を DA から出力します。予め 2 つのバッファを用意しており、バッファ 1 → バッファ 2 → バッファ 1 → …と連続して転送します。(ピンポンバッファ)
- dma2b
dma2a を 2 チャンネルに拡張したものです。
- dma3a
DMA を使用して、AD の波形を取込み、バッファ上でコピーをし、DA から出力します。
AD, DA 共にピンポンバッファになっています。

- dma3b
dma3a を 2 チャンネルに拡張したものです。

サンプルプログラムはできるだけ汎用性を持たせて作成してありますが、最適なサンプリングタイミング/DSP ペリフェラルの使用方法はアプリケーションによって個々違います。本サンプルプログラムは DSKxxxxIF-A,B,C およびペリフェラル理解のための参考としてご使用ください。

6.3. サンプルプログラム例

DSK6713IF に添付されるサンプルプログラムの例として thru2.pjt 抜粋しました。

4-2. thru2

(1). 概要

サンプリングクロックとして DSK6713IF(HEG)ボード上のサンプリングクロックジェネレータを使用し、INT4 割込みを発生させています。INT4 割込みルーチン内にて各 AD, DA 変換データレジスタへのアクセスおよび信号処理を行います。

DSK6713IF(HEG)ボード設定は、ディップスイッチから行うことで、プログラム作成をより容易にしています。

(2). 特徴

- ・ ハードウェアにてサンプリングクロックを発生させているため、厳密な変換タイミングが保障されます。
 - ・ AD 入力から DA 出力への信号の位相遅れが最小となります。
 - ・ さまざまな外部レジスタにアクセスする場面向いています。
 - ・ プログラム構成が比較的わかり易く作成することが可能です。
 - ・ 外部レジスタへのアクセス中にはウェイトが発生するため、DSP 処理リソースが若干低下します。
- ◎ 時間 (位相) 遅れが小さいため、サーボ系に最適です。
- ◎ FIR フィルタなど、デジタル信号処理に向いています。

(3). ポイント

- ・ サンプリングクロックジェネレータによって発生したサンプリングクロックにより AD 変換データの取得
- ・ DSK6713IF(HEG)ボード設定は、ディップスイッチから行う。
- ・ 外部割込み(INT4)を使用。

(4). 動作内容

DSK6713IF 上の内部発生サンプリングクロックのタイミングでアナログ値のサンプル、およびアナログ値の出力を行います。データのリード、ライトは、割込みルーチンで行います。

(4)-a. メインルーチンでの処理

- ・ DSP データバスタイミングの設定
- ・ 割込みの許可
- ・ 無限ループにて割込みを待つ

(4)-b. 割込みルーチンでの処理

- ・ AD 変換データの取得
- ・ DA 変換データのストア

(5). ディップスイッチの設定 (DSK6713IF ボード)

(5)-a. SAMPLING FREQUENCY

- 1:OFF 丱 10kHz
- 2:OFF |
- 3:ON |
- 4:OFF |
- 5:ON |
- 6:ON 丿

(5)-b. CONTROL SW

- 1:ON — 設定はディップスイッチから行う。
- 2:OFF 丱 INT4
- 3:OFF 丿
- 4:ON — 割込み Enable
- 5:OFF 丱 サンプリングクロックは DSK6713IF(HEG)内部発生サンプリングクロック (サンプリングクロックジェネレータ) を使用
- 6:OFF 丿

(6). 期待される結果

- ・ AD0 に入力した信号が、そのまま DA0 から出力されます。
- ・ AD1 に入力した信号が、そのまま DA1 から出力されます。

(7). プログラム説明

リスト 2 に thru2.pjt の main.c の内容を示します。(行番号は、説明のために追加したものでプログラムの行番号とは異なります。)

11-12	DSK6713IF(HEG)のディップスイッチの設定を示したコメントです。 ディップスイッチにて設定を行います。
30	AD 変換の結果を格納するための配列です。
31	DA 変換の行うデータを格納するための配列です。
35	TMS320C6713DSK のボードの初期化を行います。
38	EMIF(拡張インターフェースバス)のタイミングの設定を行います。
41	DSK6713IF(HEG)の動作を認識するためにトグルビットのチェックを行います。
43-44	INT4 割込みのマッピングおよび割込みイネーブルを行います。
46-47	NMI 割込みおよびグローバル割込みイネーブルを行います。
49-51	割込みを待ちます。
54-66	INT4 割込みルーチンです。 割込みが発生した際に、この関数が呼び出しされます。
56-57	AD 変換の結果を ad_data[0], ad_data[1]にストアします。※
60-61	ad_data を使用して信号処理を行います。その結果を da_data にストアします。※ (本サンプルプログラムではスルーの為、ad_data[]をそのままコピーしています。)
64-65	da_data[0], da_data[1]から DA 変換レジスタにストアします。※
69-83	拡張インターフェースバス(EMIF)のバスタイミングの設定を行います。
85-93	トグルビットを利用して DSK6713IF の動作を確認します。 トグルビットが 3 回 (任意)、反転したらこの関数からリターンします。

※チャンネル数に応じ、任意に変更してください。

リスト 2 : main.c(thru2.pjt)

```

1  /*****
2  /*
3  /*
4  /*
5  /*
6  /*
7  /*(c) Copyright 2005-2006 HIRATUKA Engineering Co.,Ltd. All rights reserved.*/
8  /*****
9  /*
10 Board setting DSK6713IF(HEG Board)
11 DIPSW S1, 1:OFF 2:OFF 3:ON 4:OFF 5:ON 6:ON (10KHz)
12 DIPSW S2, 1:ON 2:OFF 3:OFF 4:ON 5:OFF 6:OFF (INT Enable & INT4)
13
14 Refer to Readme.txt for more information.
15 */
16
17 #define CHIP_6713 1
18
19 #include <stdio.h>
20
21 #include <csl_chiphalt.h>
22 #include <csl_irq.h>
23 #include <csl_emif.h>
24 #include <dsk6713.h>
25 #include "dsk6713if.h"
26
27 void DSKIFCHECK(void);
28 void emif_init(void);
29
30 int ad_data[2];
31 int da_data[2];
32
33 void main(void)
34 {
35     DSK6713_init(); // Initialize all board APIs(for TI
36     C6713DSK)
37
38     emif_init(); // Bus Timing Setting(for HEG DSK6713IF
39     use)
40
41     DSKIFCHECK();
42
43     IRQ_map(IRQ_EVT_EXTINT4, 4); // IRQ_EVT_EXTINT4 is allocated in INT4.
44     IRQ_enable(IRQ_EVT_EXTINT4); // EXT_INT4 Interrupt Enable
45
46     IRQ_nmiEnable(); // enable NMI(Non Maskable Interrupt)
47     IRQ_globalEnable(); // set GIE(Global Interrupt Enable)
48
49     for(;;){
50         // main routine (waiting for interrupt)
51     }
52 }
53
54 interrupt void int4(void)
55 {
56     ad_data[0] = *(volatile int *)DSKIF_AD0;
57     ad_data[1] = *(volatile int *)DSKIF_AD1;
58
59     /* To Do */
60     da_data[0] = ad_data[0];
61     da_data[1] = ad_data[1];
62
63     *(volatile int *)DSKIF_DA0 = da_data[0];
64     *(volatile int *)DSKIF_DA1 = da_data[1];
65 }
66
67
68
69 void emif_init(void)

```

AD 変換完了割り込み
ルーチン

ここにデジタル信号処理を
追加！！
ここでは AD を DA ヘスルー

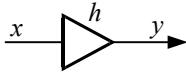
```
70 {
71     /* DSK6713IF(HEG) BusTimingSet */
72     EMIF_FSET(CECTL2,TA,3);
73     EMIF_FSET(CECTL2,MTYPE,2);
74
75     EMIF_FSET(CECTL2,WRSETUP,0);
76     EMIF_FSET(CECTL2,WRSTRB,3);
77     EMIF_FSET(CECTL2,WRHLD,2);
78
79     EMIF_FSET(CECTL2,RDSETUP,0);
80     EMIF_FSET(CECTL2,RDSTRB,4);
81     EMIF_FSET(CECTL2,RDHLD,1);
82
83 }
84
85 // Check Toggle Bit
86 void DSKIFCHECK(void)
87 {
88     int i;
89     for(i=0;i<3;i++){
90         while((*volatile int *)DSKIF_TOGGLE & 0x01 !=0);
91         while((*volatile int *)DSKIF_TOGGLE & 0x01 ==0);
92     }
93
94     /*
95     *****/
```

わずか95行!!

6.4. サンプルプログラムへの信号処理 追加例

本サンプルプログラムに、ユーザーの信号処理を追加した場合の例を、`thru2.pjt` を使って示します。既出リスト 60 行目～61 行目に任意の信号処理を追加します。

6.4.1. ゲイン h のスルー

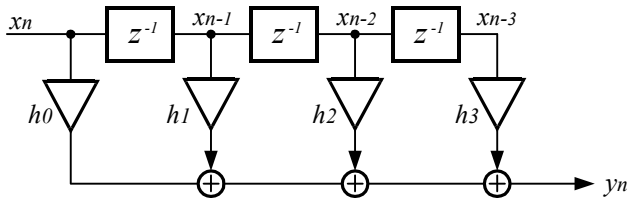


```
double h;
double x;
...
interrupt void int4(void)
{
    ad_data[0] = *(volatile int *)DSKIF_AD0;    // AD ch0 in
    ad_data[1] = *(volatile int *)DSKIF_AD1;    // AD ch1 in

    /* gain */
    x = (double)ad_data[0];
    y = h * x;
    da_data[0] = (int)y;

    *(volatile int *)DSKIF_DA0 = da_data[0];    // DA ch0 out
    *(volatile int *)DSKIF_DA1 = da_data[1];    // DA ch1 out
}
```

6.4.2. 3 次の FIR フィルタ



```
double h[4];
double x[4];
...
interrupt void int4(void)
{
    ad_data[0] = *(volatile int *)DSKIF_AD0;    // AD ch0 in
    ad_data[1] = *(volatile int *)DSKIF_AD1;    // AD ch1 in

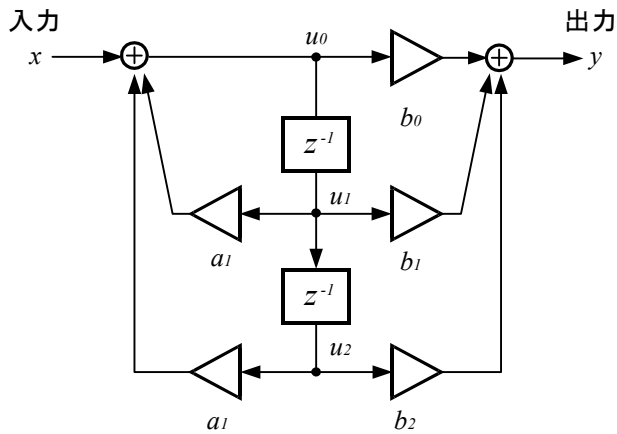
    /* FIR */
    x[0] = (double)ad_data[0];

    y = h[0] * x[0] + h[1] * x[1] + h[2] * x[2] + h[3] * x[3];
    x[3] = x[2];
    x[2] = x[1];
    x[1] = x[0];

    da_data[0] = (int)y;

    *(volatile int *)DSKIF_DA0 = da_data[0];    // DA ch0 out
    *(volatile int *)DSKIF_DA1 = da_data[1];    // DA ch1 out
}
```

6.4.3. 2 次の IIR フィルタ



```

double a1, a2, b0, b1, b2;
double u0, u1, u2;
double x, y;
...
interrupt void int4(void)
{
    ad_data[0] = *(volatile int *)DSKIF_AD0;    // AD ch0 in
    ad_data[1] = *(volatile int *)DSKIF_AD1;    // AD ch1 in

    /* IIR */
    x = (double)ad_data[0];

    u0 = x      + u1 * a1 + u2 * a2;
    y  = u0 * b0 + u1 * b1 + u2 * b2;

    u2 = u1;
    u1 = u0;

    da_data[0] = (int)y;

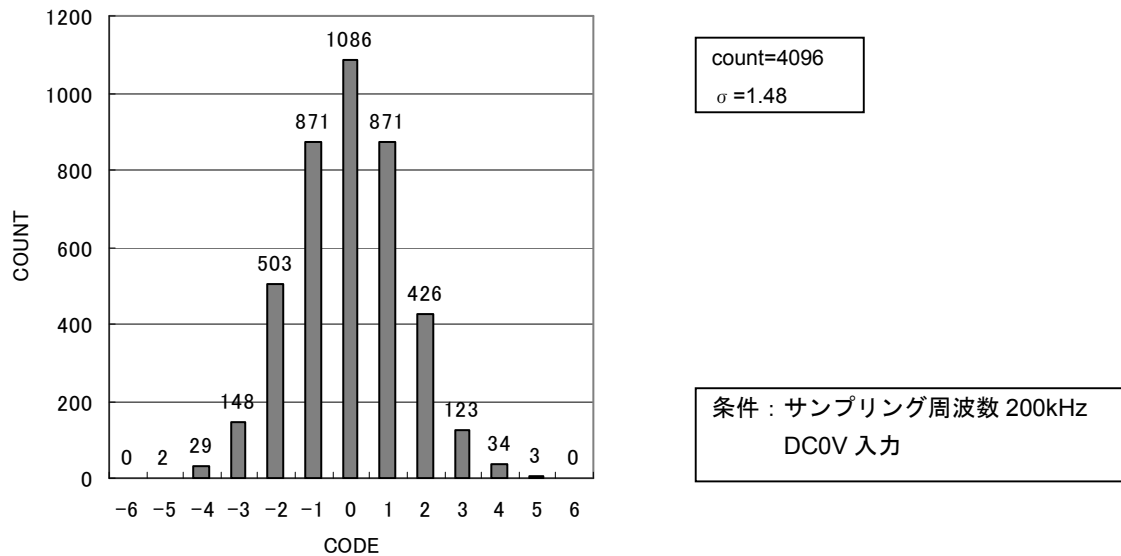
    *(volatile int *)DSKIF_DA0 = da_data[0];    // DA ch0 out
    *(volatile int *)DSKIF_DA1 = da_data[1];    // DA ch1 out
}

```

7. 特性例

以下に、DSKxxxxIF-A,B,C の特性を示します。

7.1. DC ヒストグラム



7.2. A/D チャンネル間アイソレーション

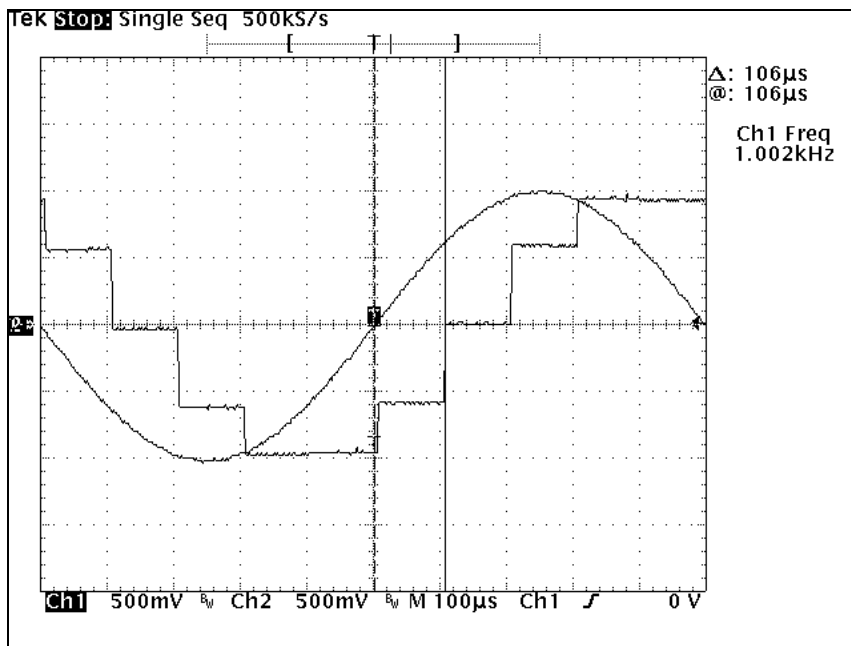
96dB 以上

条件： 200k サンプルング, 50kHz 2Vp-p 入力

7.3. A/D - D/A スルー

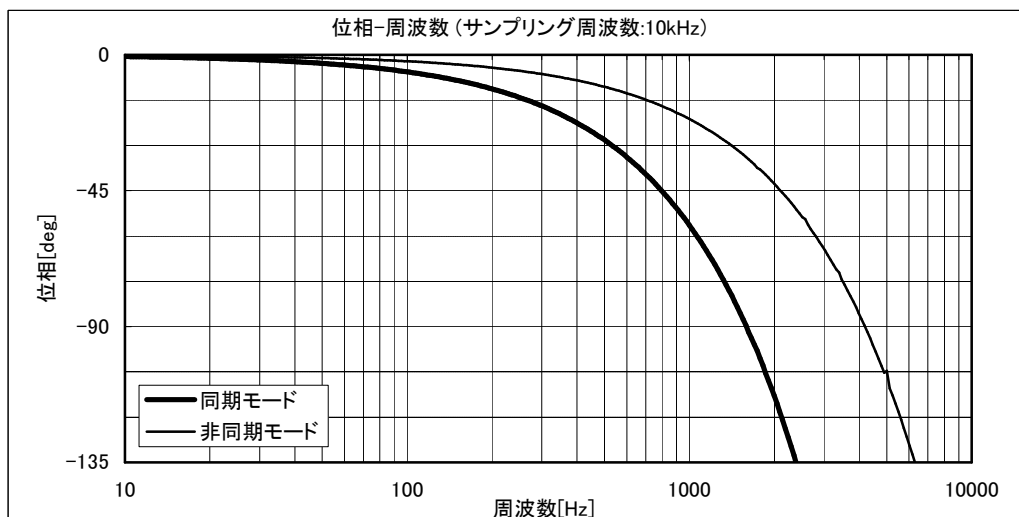
7.3.1. 10kHz サンプリングスルー

(1). 入出力波形



条件: サンプリング周波数:10kHz
AD 入力周波数:1kHz レベル:2Vp-p
オシロスコープ CH1:AD0 入力 CH2:DA0 出力
サンプルプログラム thru2.pjt

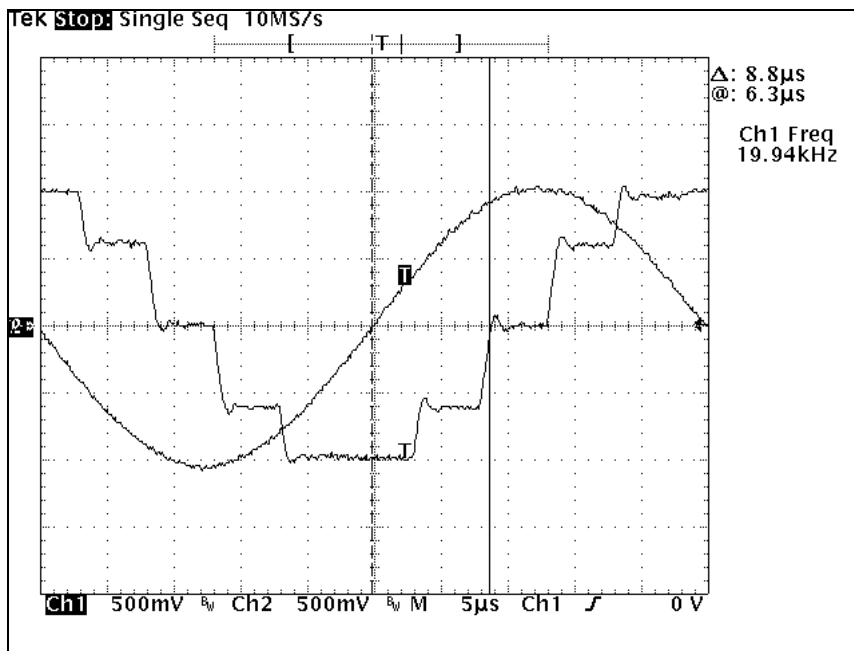
(2). 入出力位相



条件: サンプリング周波数:10kHz
周波数特性アナライザにて AD-DA 入出力位相差を計測
同期モード: サンプルプログラム thru2.pjt
非同期モード: サンプルプログラム thru4.pjt

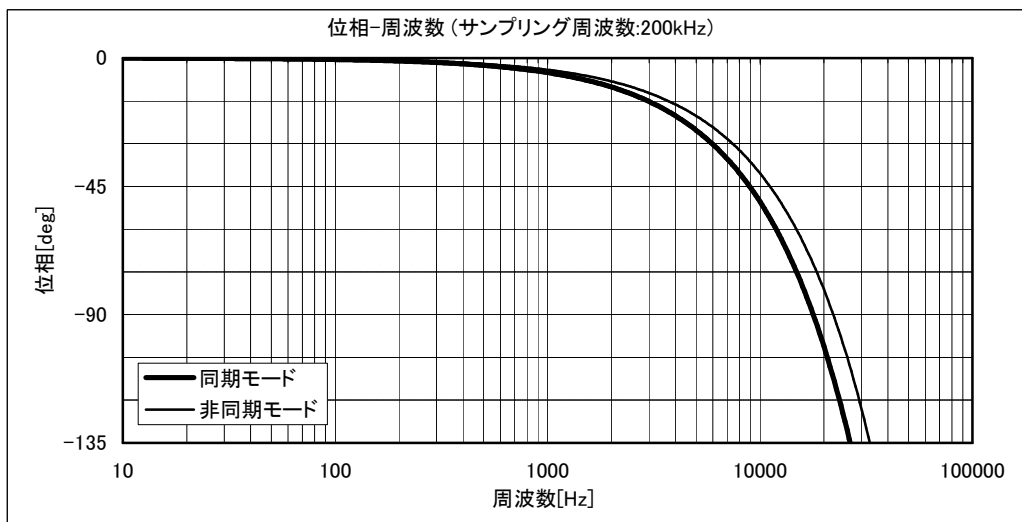
7.3.2. 200kHz サンプルングスルー

(1). 入出力波形



条件: サンプルング周波数:200kHz
AD 入力周波数:20kHz レベル:2Vp-p
オシロ CH1:AD0 入力 CH2:DA0 出力
サンプルプログラム thru2.pjt

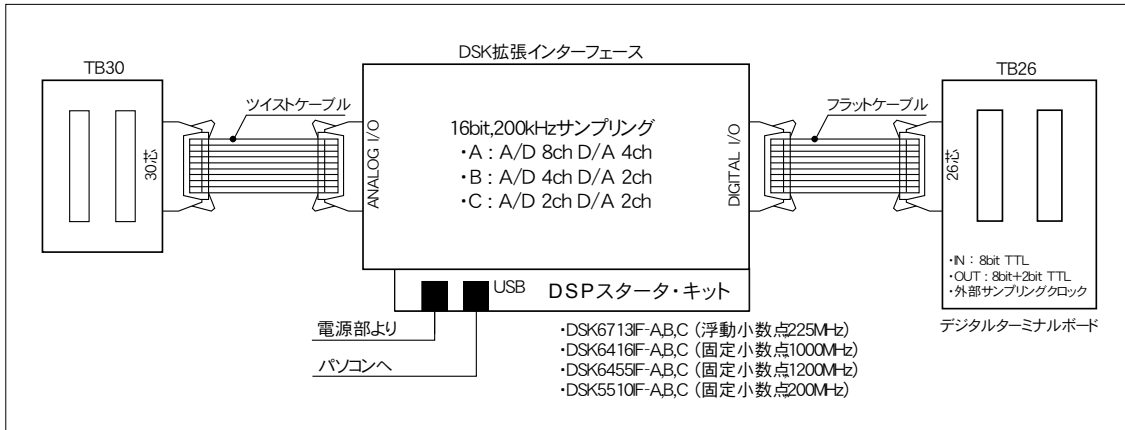
(2). 入出力位相



条件: サンプルング周波数:200kHz
周波数特性アナライザにて AD-DA 入出力位相差を計測
同期モード: サンプルプログラム thru2.pjt
非同期モード: サンプルプログラム thru4.pjt

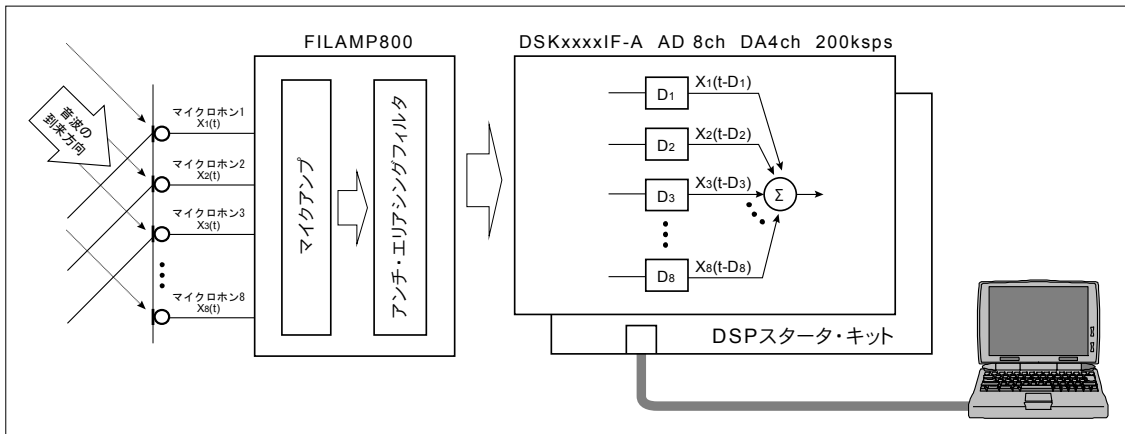
8. システム構成例

8.1. 製品の基本構成

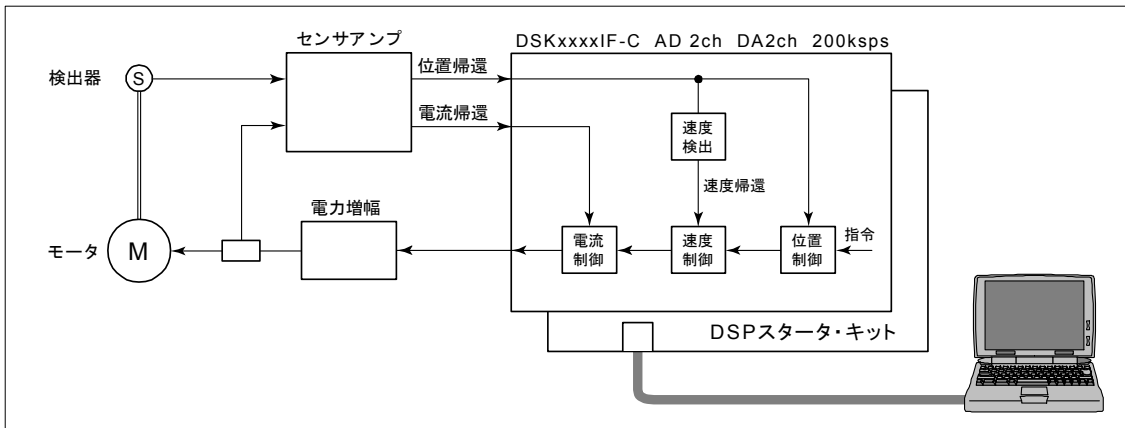


8.2. システム構成例

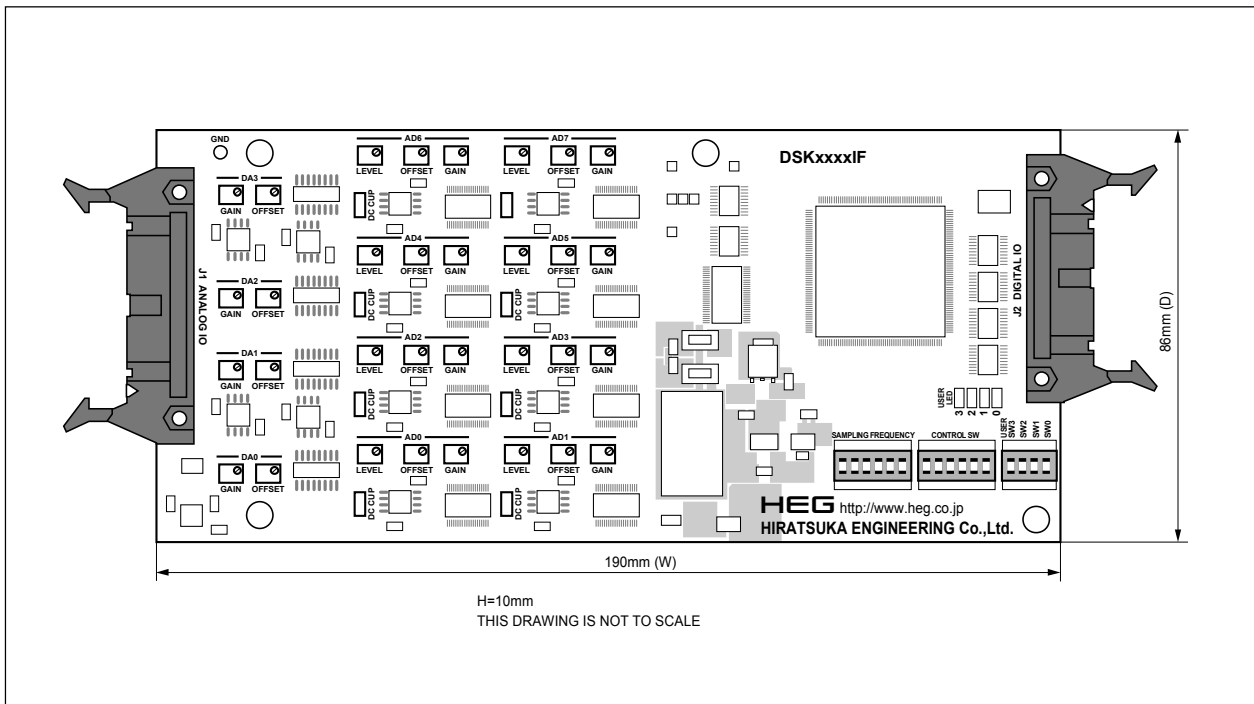
8.2.1. マイクロホンアレー



8.2.2. デジタル・モータ制御



9. 外形寸法図



10. お問い合わせ

製品に対するお問い合わせ先：

HEG 株式会社 平塚エンジニアリング

〒243-0023 神奈川県厚木市戸田 1073-12

TEL:046-220-0460 FAX:046-220-0461

ホームページ <http://www.heg.co.jp>

E-mail : contact@heg.co.jp